

### **REMARKS**

Claim 18 has been cancelled and claim 1 has been amended. Claims 3 – 6, 9 – 17 and 20 – 26 have been cancelled as drawn to a non-elected invention. Upon entry of the amendment, claims 1, 7, and 8 remain pending in the application.

Support to the amendment to claim 1 is found in the specification, for example at page 8 lines 2 – 8, at page 7, lines 2 – 6, at page 9, lines 3 – 7, and at page 7, line 26 through page 8, line 2. Applicants respectfully request entry of the amendments.

### **Rejections Under 35 U.S.C. § 112**

Claim 1 is rejected under 36 U.S.C. § 112, second paragraph as being indefinite. Applicants respectfully traverse the rejections as applied to amended claim 1 and request reconsideration.

The Examiner maintained a rejection of claim 1, stating that the use of term “micro-dots” is a relative term which renders the claim indefinite. Although Applicants respectfully disagree that the use of the term rendered the claim indefinite, Applicants have amended claim 1 so as to avoid the use of the term “micro-dots”.

The Examiner newly rejected claim 1 under § 112. The Examiner stated that antecedent basis for the term “microelectrodes” was lacking, and that the relationship of the “micro-dots” and the microelectrodes was unclear. Applicants believe that the amendments to claim 1 address the § 112 issues of paragraph 14 of the Office Action. Accordingly, Applicants respectfully request that the rejections of claim 1 under § 112 be withdrawn.

Claim 8 is rejected under 35 U.S.C. § 112 first paragraph as containing subject matter not described in the specification in such a way as to enable one skilled in the art to make or use the invention. Applicants respectfully traverse this rejection and request reconsideration.

The test of enablement is whether one skilled in the art could make or use the invention from the disclosures in the patent coupled with information known in the art without undue experimentation. United States v. Teleelectronics, Inc., 8 U.S.P.Q.2d 1217, 1223 (Fed. Cir. 1988). To meet the enablement requirement, there must be sufficient disclosure either through illustrative examples or terminology, to teach those of ordinary skill how to make and use the invention. In re Vaeck. The specification need not disclose what is well known in the art. In re Buchner 18 U.S.P.Q.2d 1331, 1332 (Fed. Cir. 1991).

Applicants respectfully submit that the disclosure in the specification taken in light of the state of the art and of the level of skill in the art enables the person of skill in the art to carry out the invention as described in claim 8. As noted in the Office Action, the level of skill in the art is high, corresponding to training at the Ph.D. level. The specification itself provides an extensive discussion of the use of polysilicon thin film transistors (TFT). For example, beginning on the last line of page 11, the specification states that in recent years the function of TFT has made notable progress and that the polysilicon TFT has advanced so much that its function is essentially equal to that of monocrystal FET. The specification goes on to describe a method for manufacturing that is suitable for production of sensor devices like the one of the invention. The specification continues at page 12 to describe using circuits of the invention that

include polysilicon thin film transistors. It is clear from the specification that those of skill in the art are aware of the characteristics of polysilicon thin film transistors. The skilled Ph.D. scientist would be able to practice the invention as claimed without undue experimentation.

Furthermore, at the time of filing of the current application, polysilicon thin film transistors were well known in the art. As an illustration, attention is respectfully drawn to the attached Japanese laid open patent publication 5-173179 published in 1993. Attention is also respectfully drawn to the attached English translation of paragraphs 0008 – 0010 of the patent. Paragraph 10 in particular describes a circuit having thin film transistors made of a semi-conductor thin film of polysilicon formed on a substrate. The Japanese patent demonstrates that thin film transistors from polysilicon were well known in the art at the time of filing. Accordingly, the Ph.D. scientists of ordinary skill in the art would understand, based on the specification and the prior art as exemplified by the Japanese patent, how to put together circuits of the invention where the circuits contain polysilicon thin film transistors.

For the reasons discussed above, Applicants believe that the specification fulfills the requirement for enablement under 35 U.S.C. § 112, first paragraph. Accordingly, Applicants respectfully request that the rejection be withdrawn.

#### **Claim Rejections Under 35 U.S.C. § 102**

Claims 1, 7, and 18 stand rejected under 35 U.S.C. § 102(b) as anticipated by Musho et al., U.S. Patent No. 5,250,439 (the Musho reference). Applicants respectfully traverse the rejection as applied to the amended claims and request reconsideration.

For a rejection of claims under § 102 over a reference, the reference must disclose each and every limitation of the claim. If any claim limitation is not disclosed in the reference, rejection under § 102 is improper and should be withdrawn.

The Musho reference fails to disclose all of the limitations of amended claim 1. For example, the Musho reference fails to disclose a solution of thin film material containing an electro-conductive polymer and a material selected from the group consisting of enzymes, antibodies, and artificially synthesized molecules. The Musho reference does not teach or suggest using such a solution in a method for manufacturing a sensor device as claimed in amended claim 1. Claim 7 is also patentable over the Musho reference because they depend from allowable claim 1. Claim 18 has been cancelled.

For the above reasons, Applicants believe that claim 1 and dependent claim 7 distinguish over the cited Musho reference. Accordingly, Applicants respectfully request that the rejection be withdrawn.

Claims 1 and 18 are rejected under § 102 as anticipated by Lewis et al., U.S. Patent No. 5,571,401 (the Lewis reference). Applicants respectfully traverse the rejection as applied to the amended claims and request reconsideration.

As with the case with the Musho reference discussed above, the Lewis reference fails to disclose all of the limitations of the amended claims. For example, the Lewis reference does not disclose a solution of thin film material having a material selected from the group consisting of enzymes, antibodies, and artificially synthesized molecules as recited in amended claim 1. Because the Lewis reference does not disclose each

and every element of the amended claims, Applicants respectfully request that the rejection over the Lewis reference be withdrawn.

### **Objections to the Specification**

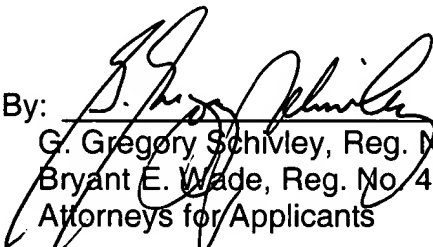
The specification is objected to because it refers to the claims by claim number in several instances. Applicants have amended the specification to remove the references to the claim numbers. Applicants therefore respectfully request that the objection to the specification be withdrawn.

### **CONCLUSION**

For the reasons discussed above, Applicants believe that claims 1, 7, and 8 are in an allowable condition and respectfully request an early notice of such allowance. The Examiner is invited to telephone the undersigned if that would be helpful to resolving any matter.

Respectfully submitted,

Dated: Nov 30, 2001

By:   
G. Gregory Schivley, Reg. No. 27,382  
Bryant E. Wade, Reg. No. 40,344  
Attorneys for Applicants

HARNESS, DICKEY & PIERCE, P.L.C.  
P.O. Box 828  
Bloomfield Hills, Michigan 48303  
(248) 641-1600

(19)日本特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-173179

(43)公開日 平成5年(1993)7月13日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	FI	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
G 0 9 F 9/30	3 3 8	6447-5G		
H 0 1 L 27/12	A	8728-4M		
29/784		9056-4M		
			H 0 1 L 28/ 78	3 1 1 A
			審査請求 未請求	請求項の数2(全 4 頁)

(21)出願番号 特願平3-343013

(22)出願日 平成3年(1991)12月25日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 井上 聡

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

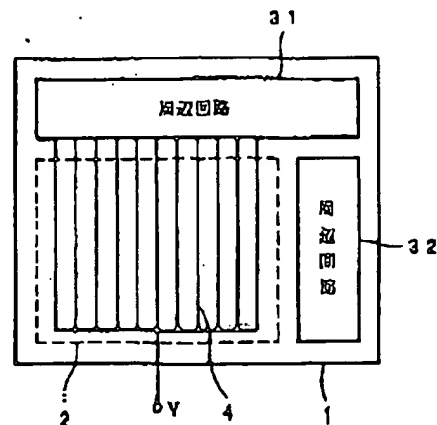
(74)代理人 弁理士 長谷川 芳樹 (外3名)

(54)【発明の名称】 アクティブマトリクス基板

(57)【要約】

【目的】 アクティブマトリクス型液晶表示装置に用いるアクティブマトリクス基板を改良する。

【構成】 基板上に、スイッチとしての薄膜トランジスタを含む画素部と、薄膜トランジスタを含んで構成された周辺回路部とが形成されたアクティブマトリクス基板において、画素部の薄膜トランジスタはオフセット構造またはLDD構造とされ、周辺回路部の薄膜トランジスタはソースおよびドレイン領域の端部とゲート電極の端部とが整合または重なり合う構造とされている。画素部の薄膜トランジスタはオフセット構造あるいはLDD構造とされるので、オフ電流の低減が可能であり、これに対して、周辺回路部の薄膜トランジスタは通常の構造(ゲート電極とソース、ドレイン領域が整合または重なり合う構造)とされるので、オン電流の低下を防止できる。



## 【特許請求の範囲】

【請求項1】 基板上に、スイッチとしての薄膜トランジスタを含む画素部と、薄膜トランジスタを含んで構成された周辺回路部とが形成されたアクティブマトリクス基板において、

前記画素部の薄膜トランジスタはオフセット構造またはLDD構造とされ、前記周辺回路部の薄膜トランジスタはソースおよびドレイン領域の端部とゲート電極の端部とが整合または重なり合う構造とされていることを特徴とするアクティブマトリクス基板。

【請求項2】 前記周辺回路部と前記画素部の薄膜トランジスタの有するゲート電極が同一材料で構成され、前記画素部の薄膜トランジスタのゲート電極のみが絶縁酸化されている請求項1記載のアクティブマトリクス基板。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はアクティブマトリクス基板に関し、例えばアクティブマトリクス型液晶表示装置に用いられる。

## 【0002】

【従来の技術】 アクティブマトリクス型液晶表示装置として、基板上に周辺回路部を内蔵したものが知られている。ここで、周辺回路部にはアクティブマトリクス基板の走査線（ゲート線）に駆動信号を供給する駆動（ドライバ）回路と、データ線（ソース線）に表示信号を供給する表示データ出力回路とが含まれる。

【0003】 ところで画素部にスイッチとして用いられる薄膜トランジスタには、オフ電流の小さいことが要求されるため、オフセット構造（ゲート電極とソース、ドレイン領域が非整合である構造）あるいはLDD構造の薄膜トランジスタをアクティブマトリクス型液晶表示装置に用いることが検討されている。

## 【0004】

【発明が解決しようとする課題】 しかし、オフセット構造あるいはLDD構造の薄膜トランジスタを画素部だけでなく周辺回路部にも用いると、オフ電流は低下するもののオン電流も低下してしまうため、内蔵のドライバ回路の性能を十分にすることができない。そこで本発明は、画素部と周辺回路部のそれぞれにおいて、薄膜トランジスタに要求される仕様を十分に満足させることのできるアクティブマトリクス基板を提供することを目的とする。

## 【0005】

【課題を解決するための手段】 本発明に係るアクティブマトリクス基板は、基板上に、スイッチとしての薄膜トランジスタを含む画素部と、薄膜トランジスタを含んで構成された周辺回路部とが形成された基板において、画素部の薄膜トランジスタはオフセット構造またはLDD構造とされ、周辺回路部の薄膜トランジスタはソースお

よびドレイン領域の端部とゲート電極の端部とが整合または重なり合う構造とされていることを特徴とする。

【0006】 ここで、周辺回路部と画素部の薄膜トランジスタの有するゲート電極が同一材料で構成され、画素部の薄膜トランジスタのゲート電極のみが絶縁酸化されていてもよい。

## 【0007】

【作用】 本発明の構成によれば、画素部の薄膜トランジスタはオフセット構造あるいはLDD構造とされるので、オフ電流の低減が可能であり、これに対して、周辺回路部の薄膜トランジスタは通常の構造（ゲート電極とソース、ドレイン領域が整合または重なり合う構造）とされるので、オン電流の低下を防止できる。

## 【0008】

【実施例】 以下、添付図面により本発明の実施例を説明する。

【0009】 図1は実施例に係るアクティブマトリクス基板の平面図である。図示の通り、ガラスあるいはセラミックスなどの基板1上には、画素部2と周辺回路部31、32が形成されている。画素部2には複数の走査線4が平行に配設され、スイッチ用の薄膜トランジスタのゲート電極（図示せず）に接続されると共に、ドライバとしての周辺回路部31の出力に接続されている。また、走査線4の他端は共通接続され、絶縁酸化電圧Vが印加される構造になっている。なお、表示データ出力回路としての周辺回路部32の入力には、走査線4と直交するデータ線（図示せず）が接続されている。

【0010】 上記の実施例において、周辺回路部31、32の薄膜トランジスタは図2（a）のように構成される。すなわち、基板1上にポリシリコンなどの半導体薄膜6が形成され、その上面にSiO<sub>2</sub>などのゲート絶縁膜7が形成され、チャネル領域6Cのゲート絶縁膜7上にはタンタル、アルミニウム、ニオブ、ポリシリコンなどのゲート電極8が形成されている。

【0011】 ここで、特徴的なことは、半導体薄膜6におけるn<sup>+</sup>型のソース領域6Sとドレイン領域6Dの端部が、絶縁膜7をはさんでゲート電極8と位置的に整合していることである。なお、端部で重なり合う構造となってもよい。このため、周辺回路部31、32における薄膜トランジスタは、オフ電流はそれほど小さくないものの、オン電流が大きくされている。

【0012】 一方、上記実施例において、画素部2の薄膜トランジスタは図2（b）、（c）のようになっている。すなわち、n<sup>+</sup>型のソース領域6Sおよびドレイン領域6Dの端部がゲート電極8から離れたオフセット構造となり、あるいはソース領域6Sおよびドレイン領域6Dとi型のチャネル領域6Cとの間に低ドーパのn<sup>-</sup>型ライトドープド領域6Lが介在されてLDD構造となっている。このため、オン電流はそれほど大きくないものの、オフ電流は低く抑えられている。

【0013】上記のようなオフセット構造あるいはLDD構造の薄膜トランジスタは、例えば図3～図5のようにして形成される。図3(a)のように、タンタルなどのゲート電極8をマスクとしてイオン注入し、i型の半導体薄膜6にn<sup>+</sup>型のソース領域6Sおよびドレイン領域6Dを自己整合的に形成する。次に、ゲート電極8を陽極酸化すると、酸化タンタル(Ta<sub>2</sub>O<sub>5</sub>)の絶縁膜81が形成され、ゲート電極8が被らされてオフセット構造が実現される(図3(b)図示)。

【0014】図4(a)のように、絶縁膜7上にゲート電極8を形成した後、同図(b)のように陽極酸化で酸化タンタル(Ta<sub>2</sub>O<sub>5</sub>)の絶縁膜81を形成し、イオン注入しても、同様にオフセット構造が得られる。

【0015】図5(a)のように、絶縁膜7上のゲート電極8をマスクとして低濃度のイオン注入を行ない、ソース領域6Sとドレイン領域6Dをn<sup>+</sup>型とする。次に、同図(b)のように、ゲート電極8を陽極酸化し、酸化タンタル(Ta<sub>2</sub>O<sub>5</sub>)の絶縁膜81をマスクとして高濃度のイオン注入をすると、n<sup>+</sup>型のソース領域6Sおよびドレイン領域6Dとi型のソース領域6Sの間に、n<sup>+</sup>型のライトドープド領域6Lが介在されたLDD構造が実現される。

【0016】なお、実施例では陽極酸化によるオフセット構造およびLDD構造の形成を示したが、他の手法を用いてもよい。例えば、画素部2の薄膜トランジスタについてのみ、ゲート電極8の側壁にSiO<sub>2</sub>を残してイオン注入し、あるいはゲートマスクを有するゲート電極をサイドエッチングでアンダーカットしてからイオン注入し、オフセット構造やLDD構造としてもよい。但

し、陽極酸化の膜厚は印加電圧で自由にコントロールできるので、制御性に優れている。

【0017】

【発明の効果】以上の通り、本発明のアクティブマトリクス基板では、画素部の薄膜トランジスタはオフセット構造あるいはLDD構造とされるので、オフ電流の低減が可能であり、これに対して、周辺回路部の薄膜トランジスタは通常の構造(ゲート電極とソース、ドレイン領域が整合または重なり合う構造)とされるので、オン電流の低下を防止できる。このため、画素部の薄膜トランジスタに要求される仕様と、周辺回路部の薄膜トランジスタに要求される仕様を同時に満足させることができる。

【図面の簡単な説明】

【図1】実施例に係るアクティブマトリクス基板の平面図である。

【図2】実施例に用いる薄膜トランジスタの断面図である。

【図3】オフセット構造の薄膜トランジスタの製法の一例を示す図である。

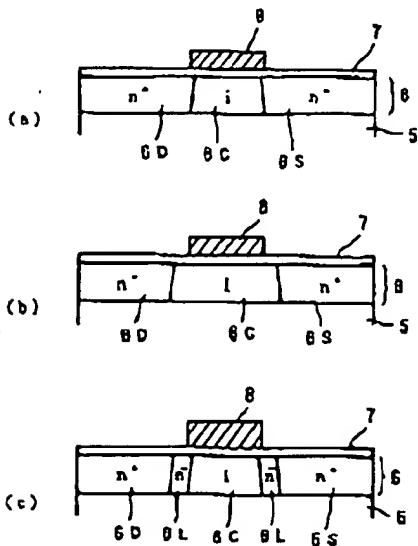
【図4】オフセット構造の薄膜トランジスタの製法の他の例を示す図である。

【図5】LDD構造の薄膜トランジスタの製法の一例を示す図である。

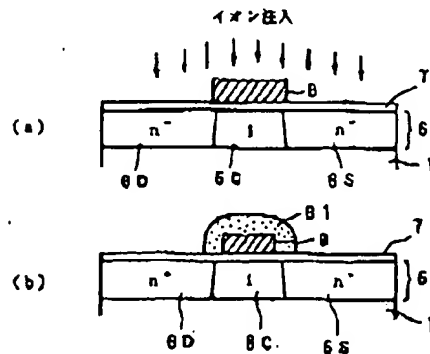
【符号の説明】

1…基板、2…画素部、31、32…周辺回路部、6…半導体薄膜、6C…チャネル領域、6S…ソース領域、6D…ドレイン領域、7…絶縁膜、8…ゲート電極、81…酸化タンタル(Ta<sub>2</sub>O<sub>5</sub>)の絶縁膜

【図2】

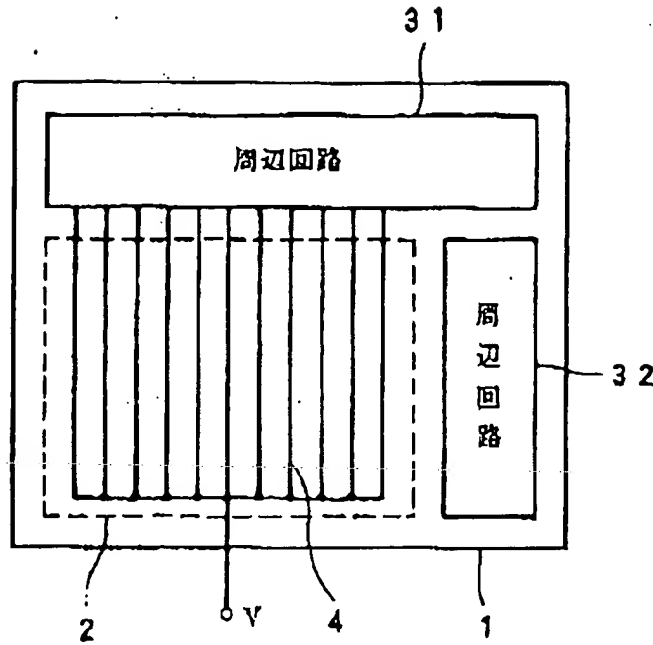


【図3】

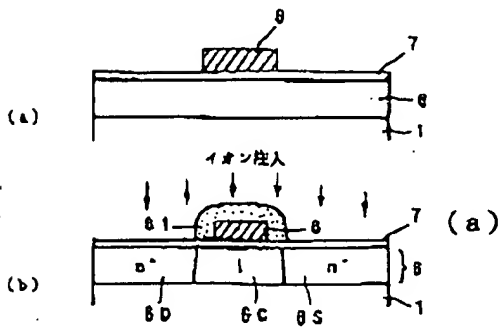




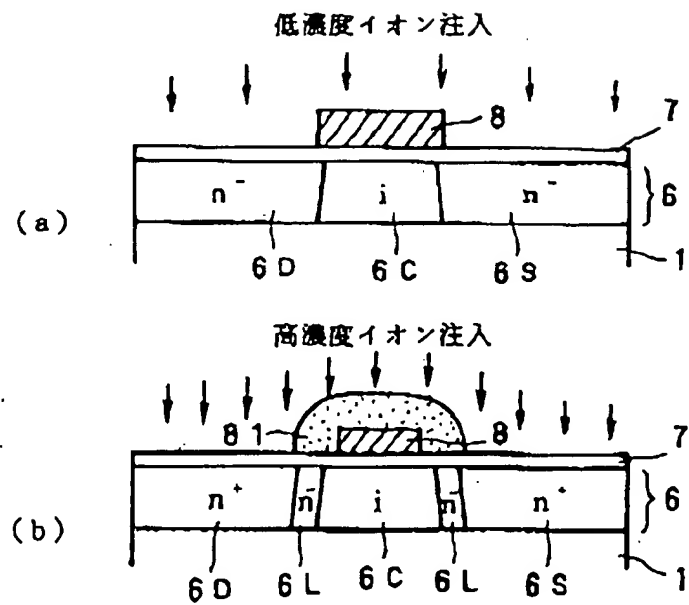
【図1】



【図4】



【図5】



JP 5 - 173179

[0008]

[Embodiment]

The embodiment of the present invention is hereinafter explained with reference to the attached drawings.

[0009]

Fig. 1 is a plan view of the active matrix substrate according to the present embodiment. As shown in the figure, a pixel 2 and peripheral circuits 31 and 32 are formed on a substrate 1 of glass or ceramics. A plurality of scanning lines 4 are arrayed on the pixel 2 parallel with one another, being connected to a gate electrode (not shown) of a thin-film transistor, which functions as a switch, as well as to the output of the peripheral circuit 31 which functions as a driver. Moreover, it is structured such that the other ends of the scanning lines 4 are integrated to be applied the anodic oxide voltage (V). Furthermore, data lines (not shown) which intersect orthogonally with the scanning lines 4 are connected to the input of the peripheral circuit 32 which functions as a display data output circuit.

[0010]

In the above-described embodiment, the thin-film transistors of the peripheral circuits 31 and 32 are structured as shown in Fig. 2 (a). A semiconductor thin film 6 of poly-silicon etc. is formed on the substrate 1. A gate-insulated film 7 of SiO<sub>2</sub> etc. is formed on the semiconductor thin film 6. A gate electrode 8 of tantalum, aluminum, niobium

or poly-silicon etc. is formed on the gate-insulated film 7 in a channel region 6C.